

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-034534

(43)Date of publication of application : 09.02.2001

(51)Int. Cl. G06F 12/08

G06F 3/06

(21)Application number : 11-204691

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.07.1999

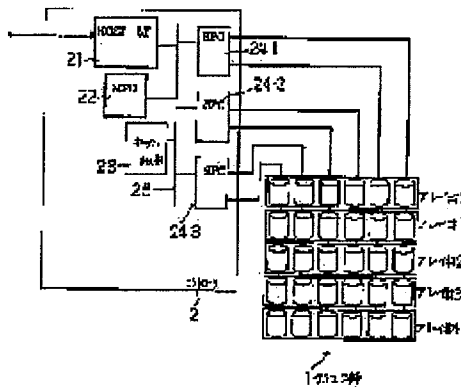
(72)Inventor : HIROFUJI SUSUMU
SASAMOTO KYOICHI

(54) DISK SYSTEM AND ITS CACHE SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of data in a cache memory without any deterioration in system performance.

SOLUTION: For a disk part 1 which stores data, this disk system is equipped with an MPU 22 which controls data access to the disk part 1 and cache memory parts (23-1) and (23-2) having cache memories wherein data are temporarily held and handles access made by a host computer. A data transfer path (27) is provided which interconnects the cache memory parts (23-1) and (23-2) and data are transferred between the cache memory parts (23-1) and (23-2) through the data transfer path (27).



JP2001-034534

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS [Claim(s)]

[Claim 1] As opposed to a disk part characterized by comprising the following which memorizes data, A disc system corresponding to [provide two or more sets of groups of a control section which controls a data access to said disk part, and a cache memory part provided with cache memory which holds data temporarily, and] access of a host computer.

A data transfer path which connects only a cache memory part of said each class mutually.

A control means which is provided in a cache memory part of said each class, respectively, and performs data transfer between cache memory parts via said data transfer path.

[Claim 2] The disc system according to claim 1, wherein a control means performs data transfer to other cache memory parts via said data transfer path in the case of data writing to cache memory of the cache memory part concerned.

[Claim 3] A sub cache memory part provided corresponding to a cache memory part of said each class, respectively, comprising:

Cache memory which holds data temporarily.

A sub cache memory part which has a sub cache memory part control means which coincides data currently held at a cache memory part of the group concerned, and data of said sub cache memory part.

[Claim 4] It is formed by exclusive path which connects between a cache memory part and sub cache memory parts, and a sub cache memory part control means, The disc system according to claim 3 coinciding data currently held via said exclusive path at a cache memory part of the group concerned, and data of said sub cache memory part.

[Claim 5] The disc system according to claim 1 substituting for a control section of each class by one of other control sections, respectively if it controls by dividing a data area where disk parts differ and an obstacle occurs in one of control sections.

[Claim 6] Equip field correspondence of cache memory provided in a cache memory part with information on prohibition on permission of writing based on an access situation, and a memory table to manage, and a control means manages information on the memory table concerned, and. The disc system according to claim 1 sending out permission disapproval information based on information on said memory table to demand information on data transfer which comes via a data transfer path.

[Claim 7]As opposed to a disk part characterized by comprising the following which memorizes data, A cache system of a disc system corresponding to [provide a control section which controls a data access to said disk part, and the 1st cache memory part provided with cache memory which holds data temporarily, and] access of a host computer.

The 2nd cache memory part provided with cache memory which holds data temporarily.

A data transfer path which connects only said 1st cache memory part and the 2nd cache memory part mutually.

A control means which is provided in said 1st cache memory part, is provided in a control means which performs data transfer to the 2nd cache memory part via said data transfer path, and said 2nd cache memory part, and performs data transfer to the 1st cache memory part via said data transfer path.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION [Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to a disc system especially a disc system suitable in access to the disk which adopts a disk array device, and its cache system.

[0002]

[Description of the Prior Art]It is usually to have cache memory with a disc system conventionally. For the data security of this cache memory, it is possible to double cache memory.

[0003]However, doubleness of cache memory will produce the problem on which performance deteriorates -- the demand from the host side cannot be promptly satisfied because of the processing which identifies the data of two cache memory.

[0004]

[Problem(s) to be Solved by the Invention]In doubling a controller and managing a disk and the doubled cache memory, it is necessary to have a predetermined procedure for the processing for which two controllers identify the data of two cache memory, and the problem which processing complicates occurs.

[0005]This invention was made as a solution plug and the problem which such a conventional disc system has the purpose, It is providing the disc system which can raise the reliability of the data written in cache memory without exerting degradation of performance on a system, and its cache system.

[0006]

[Means for Solving the Problem]A disc system which this invention requires for this invention, Two or more sets of groups of a control section which controls a data access to said disk part, and a cache memory part provided with cache memory which holds data temporarily are provided to a disk part which memorizes data, A disc system corresponding to access of a host computer is characterized by comprising:

A data transfer path which connects only a cache memory part of said each class mutually.

A control means which is provided in a cache memory part of said each class, respectively, and performs data transfer between cache memory parts via said data transfer path.

Between cache memory parts of each class, data transfer is performed via a data transfer path for exclusive use by this, and it is lost that a data path used for access to a disk part is used for data reconciliation-ization. It is not placed between data reconciliation-ization by control section.

[0007]In a disc system concerning this invention, a control means performs data transfer to other cache memory parts via said data transfer path in the case of data writing to cache memory of the cache memory part concerned. Identification of data between cache memory parts is attained by this in the case of data writing to cache memory of a cache memory part.

[0008]Cache memory which is a sub cache memory part provided corresponding to a cache memory part of said each class, respectively, and holds data in a disc system concerning this invention temporarily, A sub cache memory part which has a sub cache memory part control means which coincides data currently held at a cache memory part of the group concerned and data of said sub cache memory part was provided. It is possible for this to attain doubleness of data in a sub cache memory part for each class.

[0009]It is formed in a disc system concerning this invention by exclusive path which connects between a cache memory part and sub cache memory parts, and a sub cache memory part control means, Data currently held via said exclusive path at a cache memory part of the group concerned and data of said sub cache memory part are coincided. Thereby, between a cache memory part for each class, and a sub cache memory part, data transfer is performed via an exclusive path, and it is lost that a data path used for access to a disk part is used for data reconciliation-ization.

[0010]A disc system concerning this invention will be substituted for a control section of each class by one of other control sections, respectively, if it controls by dividing a data area where disk parts differ and an obstacle occurs in one of control sections. Thereby, load sharing of a control section is planned.

[0011]In a disc system concerning this invention, field correspondence of cache memory provided in a cache memory part is equipped with information on prohibition on permission of writing based on an access situation, and a memory table to manage, A control means manages information on the memory table concerned, and it sends out permission disapproval information based on information on said memory table to demand information on data transfer which comes via a data transfer path. Thereby, according to an access situation over a cache memory part, timing of data reconciliation between cache memory parts is controlled.

[0012]This invention a cache system of a disc system concerning this invention, A control section which controls a data access to said disk part, and the 1st cache memory part provided with cache memory which holds data temporarily are provided to a disk part which memorizes data, A cache system of a disc system corresponding to access of a host computer is characterized by comprising:

A data transfer path which connects mutually only the 2nd cache memory part provided with cache memory which holds data temporarily, said 1st cache memory part, and the 2nd cache memory part.

A control means which is provided in said 1st cache memory part, and performs data transfer to the 2nd cache memory part via said data transfer path.

A control means which is provided in said 2nd cache memory part, and performs data transfer to the 1st cache memory part via said data transfer path.

In the 1st and the 2nd cache memory part, data transfer is performed by this via a data transfer path for exclusive use, and it is lost by it that a data path used for access to a disk part is used for data reconciliation-ization. It is not placed between data reconciliation-ization by control section.

[0013]

[Embodiment of the Invention]The disc system applied to this invention with reference to an accompanying drawing below is explained. The explanation which gives the same numerals to the same component and overlaps with it in each figure is omitted. A 1st embodiment concerning the disc system of this invention is shown in drawing 1. According to this embodiment, the disk array which comprises two or more disk units is adopted as the disk part 1, and array #0 - #5 are arranged here.

[0014]The controller 2 for accessing the disk part 1 to meet the demand of a host computer is formed. For the controller 2. Between host computers, data transmission and reception. The host interface to perform. (HOST I/F) It has the disk controller 24-1 to 24-3 which is a SUKAJI protocol controller (SPC) connected with the predetermined disk of 21, the microprocessor part (MPU) 22, the cache memory part 23, and the disk part 1. These host interfaces 21, the microprocessor part 22, the cache memory part 23, and the disk controller 24-1 to 24-3 are connected to the bus (for example, PCI bus) 25 which is a common data transfer path.

[0015]If another expression about the above-mentioned embodiment is carried out, it can express, as shown in drawing 2. That is, host interface 21, microprocessor part 22, cache memory part 23, and disk input/output part 24a-1 - 24a-6 is connected to the common bus 25. Although the SUKAJI protocol controller (SPC) was used as the disk controller 24-1 to 24-3 by drawing 1 here, In order to connect each disk unit 1a-1 - 1a-6 separately, it is indicated as disk input/output part 24a-1 - 24a-6, The function to access a disk unit is the same as that of the disk controller 24-1 to 24-3, and disk input/output part 24a-1 - 24a-6.

[0016]The internal configuration of the microprocessor part 22 is shown in drawing 2. The microprocessor part 22 has the composition with which ROM12 and RAM13 were connected to the microprocessor 11, and the microprocessor 11 makes RAM13 a working memory using the program in ROM12, Based on the directions of a host computer received via the host interface 21, disk input/output part 24a-1 - 24a-6 is controlled, and the cache memory part 23 is controlled. Thus, the microprocessor part 22 constitutes the control section which controls the data access to a disk part.

[0017]The composition of the cache memory part 23 is shown in drawing 3. The cache memory part 23 is equipped with DRAM31 for holding cache data, DRAM control part 32, the data path switching control part 33, the mirroring copy interface 34, and the PCI bus interface 35.

[0018]Above-mentioned DRAM control part 32 has a function which writes in or reads data to DRAM31, and the data path switching control part 33, Based on control of the microprocessor part 22, control DRAM control part 32, and data is memorized or read, and data is transmitted via the mirroring copy interface 34 at the time of necessary, an interrupt signal is given to the microprocessor part 22, and the end of data transfer is notified. Other cache memory parts are

connected to the mirroring copy interface 34. Other cache memory parts are the cache memory part 23 and an identical configuration. The PCI bus interface 35 sends and receives data via the bus 25 of drawing 1 and drawing 2.

[0019]Operation of the cache memory part 23 constituted as mentioned above is explained. If there are directions of data writing from a host computer to the disk part 1, The microprocessor part 22 incorporates this via the host interface 21, data is given to the predetermined disk controller in the disk controller 24-1 to 24-3, and the writing to the disk part 1 is made to perform. This data is made to give and hold to the cache memory part 23.

[0020]The data path switching control part 33 of the cache memory part 23 receives data and a write instruction via the PCI bus interface 35, controls DRAM control part 32, and makes data write in DRAM31 at this time (drawing 3 **). And the data path switching control part 33 sets directions of the data transfer through the mirroring copy interface 34 with a stored address (write cache address), and sets a timer further, for example. After the data path switching control part 33 will perform data transfer through the mirroring copy interface 34 based on the directions set [above-mentioned] if this timer is that the deadline of it is passed (drawing 3 **), and ending data transfer, An interrupt signal is given to the microprocessor part 22, and the end of data transfer is notified.

[0021]Since other cache memory parts are the same composition as the cache memory part 23 of drawing 3, they explain this operation using the same number as drawing 3. The mirroring copy interface 34 of other cache memory parts is sent out to the data path switching control part 33 in response to the coming data with a stored address. The data path switching control part 33 controls DRAM control part 32, and makes data write in DRAM31.

[0022]The cache memory part provided with the data path switching control part 33A which performs different operation is shown in drawing 4 in the data path switching control part 33 of drawing 3. This cache memory part has the same composition as the cache memory part of drawing 3 except for the point provided with the data path switching control part 33A. This cache memory part operates as follows.

[0023]If there are directions of data writing from a host computer to the disk part 1, The microprocessor part 22 incorporates this via the host interface 21, data is given to the predetermined disk controller in the disk controller 24-1 to 24-3, and the writing to the disk part 1 is made to perform. This data is made to give and hold to the cache memory part 23 shown in drawing 4.

[0024]At this time, the data path switching control part 33A of the cache memory part 23 receives data and a write instruction via the PCI bus interface 35, Control DRAM control part 32, make data write in DRAM31, and are parallel with this, After the data path switching control part 33 performs data transfer through the mirroring copy interface 34 (drawing 4 **) and ending data transfer, it gives an interrupt signal to the microprocessor part 22, and notifies the end of data transfer. By starting composition, doubleness of cache data can be attained promptly.

[0025]Next, the controller 2A concerning a 2nd embodiment of the controller 2 is shown in drawing 5. According to this embodiment, form the two cache memory parts 23 and 23A, and these are connected to the bus 25, and mutual is connected by the data transfer path 26 for exclusive use. Let the cache memory parts 23 be other cache memory parts which explained the cache memory part 23A in drawing 3 or drawing 4 as a cache memory part of drawing 3 or drawing 4. The cache memory part 23A functions as a sub cache memory part which assists the cache memory part 23.

[0026]When data is written in the cache memory part 23, it carries out as [explained / had, and / it / drawing 3 or drawing 4 is and], and data is written in the same address of the cache memory part 23A. And the cache memory part 23 is sometimes used for the microprocessor part 22, and it usually sometimes operates, and when an obstacle arises in the cache memory part 23, it operates using the cache memory part 23A. That is, the cache memory part 23A is made backup. [0027]Other following directions for use are also employable. As the technique of transmitting data to the cache memory part 23A, the cache memory part 23 uses the technique shown in drawing 4. And the microprocessor part 22 writes data in the cache memory part 23, and accesses the cache memory part 23A, and reads data. Thus, by operating, identify the data of the cache memory part 23 and the cache memory part 23A, and a data custody is planned, and it can become possible to perform writing of data, and read-out of data in parallel, and the throughput of a system can be raised.

[0028]A 2nd embodiment of the disc system concerning this invention is shown in drawing 6. According to this embodiment, the disk part 1 is accessed by the controller 2-1 of an identical configuration, and 2-2, and it has composition which meets the demand of a host computer. And between each controller 2-1, the cache memory part 23-1 of 2-2, and 23-2 is connected with the data transfer path 27, and identification of the cache memory part 23-1 and the data held 23-2 is attained. As the above-mentioned cache memory part 23-1 and 23-2, the composition shown in drawing 3 or drawing 4 is adopted.

[0029]And the controller 2-1 and 2-2 can be constituted so that it may operate independently based on the demand from a host computer, respectively. Therefore, between the cache memory part 23-1 and 23-2, data transfer arises to another side mutually, and identification of data is attained. According to this gestalt, the throughput of a system can be raised. moreover -- as other operation forms -- the controller 2-1 -- present -- it is considered as business and the controller 2-2 is made into reserves. When an obstacle occurs for the controller 2-1, it is made to meet the demand of a host computer by the controller 2-2. present -- in the change business and for reserves, a host computer gives directions to the microprocessor part 22-2 via the host interface 21-2.

[0030]A 3rd embodiment of the disc system concerning this invention is shown in drawing 7. According to this embodiment, in the embodiment shown in drawing 6, sub cache memory part 23B-1 is provided in the controller 2-1, and sub cache memory part 23B-2 is provided in the controller 2-2. The cache memory part 23-1, 23-2, sub cache memory part 23B-1, and 23B-2 are identical configurations, Between sub cache memory part 23B-1 and sub cache memory part 23B-2 is connected with the data transfer path 27B, and identification of the data held sub cache memory part 23B-1 and 23B-2 is attained. As above sub cache memory part 23B-1 and 23B-2, the composition shown in drawing 3 or drawing 4 is adopted.

[0031]The cache memory part 23-1 and sub cache memory part 23B-1 divide the area of the disk part 1, and they hold data. For example, the cache memory part 23-1 holds the data of array #0 - #2, and sub cache memory part 23B-1 holds the data of array #3 and #4. Similarly, the cache memory part 23-2 holds the data of array #0 - #2, and sub cache memory part 23B-2 holds the data of array #3 and #4.

[0032]The operation form in this embodiment can take either of two kinds like the system shown in drawing 6. namely, -- it is what a 1st embodiment is based on the controller 2-1, and 2-2 is based on the demand from a host computer, respectively, and operates independently -- a 2nd embodiment -- the controller 2-1 -- present -- it is considered as business and the controller 2-2 is made into reserves.

[0033]Next, a 4th embodiment of the disc system concerning this invention is shown in drawing 8. In this embodiment, it connects with the cache memory part 23-1 further in the embodiment shown in drawing 7 with the data transfer path 26-1 of exclusive use [between sub cache memory part 23B-1], It connects with the cache memory part 23-2 with the data transfer path 26-2 of exclusive use [between sub cache memory part 23B-2].

[0034]This embodiment is equivalent to what formed the two controllers 2A concerning a 2nd embodiment shown in drawing 5. Between the cache memory part 23-1 and the cache memory parts 23-2 is connected with the data transfer path 27, and identification of the cache memory part 23-1 and the data held 23-2 is attained. Therefore, in controller 2A-1 and 2A-2, it will have cache memory part 23B-1 for backup, and 23B-2, respectively. The mode of operation in each controller 2A-1 and 2A-2 is the same as that of the embodiment of drawing 5. The operation form between controller 2A-1 and 2A-2 is the same as the operation form of drawing 6.

[0035]The embodiment of other cache memory parts is described. When parallel use of the 2 cache memory parts is carried out, in order to preserve the data currently held, it can constitute as follows. That is, a memory table as shown in drawing 9 is provided in DRAM31, and the data path switching control part 33 (33A) gives permission disapproval to it with reference to the above-mentioned memory table to the data transfer request from the cache memory part of another side. The memory table of this drawing 9 is for dividing and managing the data area of DRAM31 to the block with two or more prescribed capacity, and the flag (prohibition =1, permission =0) which is the information on the prohibition on permission of writing is formed corresponding to each block. When read-out of data is performed, a part is read, for example, and also an initial value is "0", this flag is set when read-out may arise "1", and when the possibility of read-out disappears, it is reset "0." And the data path switching control part 33 (33A) operates in the procedure shown in drawing 11 by the program of the flow chart shown in drawing 10.

[0036]First, a data transfer request and a cash write address come via a data transfer path from the cache memory part of another side (drawing 11 **), and the data path switching control part 33 (33A) receives this via the mirroring copy interface 34 (S1). Then, with reference to the correspondence flag of the memory table showing the data path switching control part 33 (33A) in drawing 9 (drawing 11 ** and S2), a flag detects "1" and "0" (S3). Here, if a flag is "0", data transfer permission will be returned (drawing 11 ** and S4), and if a flag is "1", data transfer disapproval will be returned (drawing 11 ** and S5). It becomes unnecessary to be able to prevent making rewriting, when parallel use of the two cache memory parts is carried out and there is possibility of read-out by this, and to access a disk part again, and system performance can be raised.

[0037]

[Effect of the Invention]As opposed to the disk part which memorizes data according to the disc system applied to this invention as explained above, In the disc system corresponding to [provide two or more sets of groups of the control section which controls the data access to said disk part, and the cache memory part provided with the cache memory which holds data temporarily, and] access of a host computer, The data transfer path which connects only the cache memory part of said each class mutually, Since the control means which is provided in the cache memory part of said each class, respectively, and performs data transfer between cache memory parts via said data transfer path is provided, Between the cache memory parts of each class, data transfer is performed via a data transfer path for exclusive use, and since it is lost that the data path used for access to a disk part is used for data reconciliation-ization, an efficient

system is realizable. Since it is not placed between data reconciliation-ization by the control section, load sharing is planned.

[0038]According to the cache system of the disc system concerning this invention. The control section which controls the data access to said disk part, and the 1st cache memory part provided with the cache memory which holds data temporarily are provided to the disk part which memorizes data, In the cache system of the disc system corresponding to access of a host computer, The data transfer path which connects mutually only the 2nd cache memory part provided with the cache memory which holds data temporarily, said 1st cache memory part, and the 2nd cache memory part, The control means which is provided in said 1st cache memory part, and performs data transfer to the 2nd cache memory part via said data transfer path, Since the control means which is provided in said 2nd cache memory part, and performs data transfer to the 1st cache memory part via said data transfer path is provided, Between the cache memory parts of each class, data transfer is performed via a data transfer path for exclusive use, and since it is lost that the data path used for access to a disk part is used for data reconciliation-ization, an efficient system is realizable. Since it is not placed between data reconciliation-ization by the control section, load sharing is planned.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS [Brief Description of the Drawings]

[Drawing 1]The lineblock diagram showing a 1st embodiment of the disc system concerning this invention.

[Drawing 2]The lineblock diagram showing the embodiment of KONRORORA in the disc system concerning this invention.

[Drawing 3]The lineblock diagram showing a 1st embodiment of the cache memory part in the disc system concerning this invention.

[Drawing 4]The lineblock diagram showing a 2nd embodiment of the cache memory part in the disc system concerning this invention.

[Drawing 5]The lineblock diagram showing a 2nd embodiment of the controller in the disc system concerning this invention.

[Drawing 6]The lineblock diagram showing a 2nd embodiment of the disc system concerning this invention.

[Drawing 7]The lineblock diagram showing a 3rd embodiment of the disc system concerning this invention.

[Drawing 8]The lineblock diagram showing a 4th embodiment of the disc system concerning this invention.

[Drawing 9]The figure showing the memory table used for the cache memory part in the disc system concerning this invention.

[Drawing 10]The figure showing operation of the cache memory part adopted in the disc system concerning this invention.

[Drawing 11]The lineblock diagram showing a 3rd embodiment of the cache memory part in the disc system concerning this invention.

[Description of Notations]

1 Disk part 2, 2-1, and 2-2 Controller

21 Host interface 22 Microprocessor part

23, 23-1, 23-2, 23B-1, 23B-2 cache memory part

31 DRAM 32 DRAM control part

33 33A Data path switching control part

34 Mirroring copy interface

35 PCI bus interface

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-34534

(P2001-34534A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 6 F 12/08	3 2 0	G 0 6 F 12/08	3 2 0 5 B 0 0 5
	3 1 0		3 1 0 C 5 B 0 6 5
3/06	3 0 2	3/06	3 0 2 A

審査請求 未請求 請求項の数7 O L (全 12 頁)

(21)出願番号 特願平11-204691

(22)出願日 平成11年7月19日(1999.7.19)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 廣藤 進

東京都府中市東芝町1番地 株式会社東芝
府中工場内

(72)発明者 笹本 亨一

東京都府中市東芝町1番地 株式会社東芝
府中工場内

(74)代理人 100074147

弁理士 本田 崇

Fターム(参考) 5B005 JJ01 JJ12 KK15 MM12 WW00

5B065 BA01 CA12 CE22 CH01 EA12

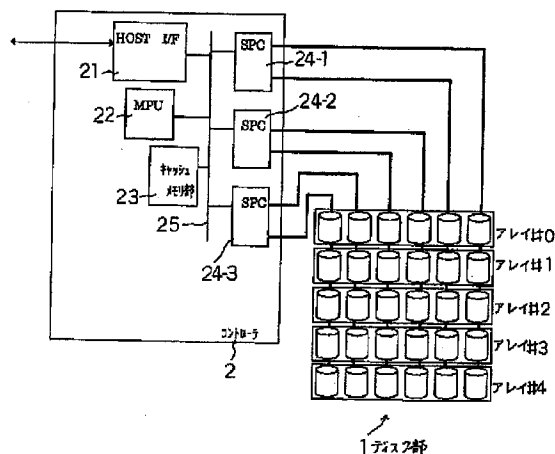
EA25 PA13 ZA13

(54)【発明の名称】 ディスクシステム及びそのキャッシュシステム

(57)【要約】

【課題】 システム性能の劣化なくキャッシュメモリのデータの信頼性向上。

【解決手段】 データを記憶するディスク部1に対し、前記ディスク部1に対するデータアクセスを制御するMPU22とデータを一時保持するキャッシュメモリを備えたキャッシュメモリ部23-1、23-2とを設け、ホストコンピュータのアクセスに対応するディスクシステムにおいて、キャッシュメモリ部23-1、23-2を相互に接続するデータ転送パス27と設け、前記データ転送パス27を介してキャッシュメモリ部23-1、23-2間でデータ転送を行う。



【特許請求の範囲】

【請求項 1】 データを記憶するディスク部に対して、前記ディスク部に対するデータアクセスを制御する制御部とデータを一時保持するキャッシュメモリを備えたキャッシュメモリ部との組を複数組設け、ホストコンピュータのアクセスに対応するディスクシステムにおいて、前記各組のキャッシュメモリ部のみを相互に接続するデータ転送パスと、
前記各組のキャッシュメモリ部にそれぞれ設けられ、前記データ転送パスを介してキャッシュメモリ部間でデータ転送を行う制御手段とを具備することを特徴とするディスクシステム。

【請求項 2】 制御手段は、当該キャッシュメモリ部のキャッシュメモリに対するデータ書き込みの際に、前記データ転送パスを介して他のキャッシュメモリ部へデータ転送を行うことを特徴とする請求項 1 に記載のディスクシステム。

【請求項 3】 前記各組のキャッシュメモリ部に対応してそれぞれ設けられるサブキャッシュメモリ部であって、

データを一時保持するキャッシュメモリと、当該組のキャッシュメモリ部に保持されているデータと前記サブキャッシュメモリ部のデータとを一致させるサブキャッシュメモリ部制御手段とを有するサブキャッシュメモリ部を具備したことを特徴とする請求項 1 に記載のディスクシステム。

【請求項 4】 キャッシュメモリ部とサブキャッシュメモリ部との間のみを接続する専用パスが設けられ、サブキャッシュメモリ部制御手段は、前記専用パスを介して当該組のキャッシュメモリ部に保持されているデータと前記サブキャッシュメモリ部のデータとを一致させることを特徴とする請求項 3 に記載のディスクシステム。

【請求項 5】 各組の制御部はそれぞれ、ディスク部の異なるデータ領域を分けて制御を行い、いずれかの制御部に障害が発生すると、他のいずれかの制御部により代替することを特徴とする請求項 1 に記載のディスクシステム。

【請求項 6】 キャッシュメモリ部に設けられたキャッシュメモリの領域対応にアクセス状況に基づく書き込みの許可禁止の情報と管理するメモリテーブルを備え、制御手段は当該メモリテーブルの情報を管理すると共に、データ転送パスを介して到来するデータ転送の要求情報に対して前記メモリテーブルの情報に基づいて、許可不許可情報を送出することを特徴とする請求項 1 に記載のディスクシステム。

【請求項 7】 データを記憶するディスク部に対して、前記ディスク部に対するデータアクセスを制御する制御部とデータを一時保持するキャッシュメモリを備えた第 1 のキャッシュメモリ部とを設け、ホストコンピュータ

のアクセスに対応するディスクシステムのキャッシュシステムにおいて、

データを一時保持するキャッシュメモリを備えた第 2 のキャッシュメモリ部と、

前記第 1 のキャッシュメモリ部と第 2 のキャッシュメモリ部のみを相互に接続するデータ転送パスと、

前記第 1 のキャッシュメモリ部に設けられ、前記データ転送パスを介して第 2 のキャッシュメモリ部へデータ転送を行う制御手段と前記第 2 のキャッシュメモリ部に設けられ、前記データ転送パスを介して第 1 のキャッシュメモリ部へデータ転送を行う制御手段とを具備することを特徴とするディスクシステムのキャッシュシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はディスクシステム、特にディスクアレイ装置を採用するディスクに対するアクセスの場合に好適なディスクシステム及びそのキャッシュシステムに関するものである。

【0002】

【従来の技術】 従来、ディスクシステムではキャッシュメモリを備えることが通例である。このキャッシュメモリのデータの保全のためには、キャッシュメモリを二重化することが考えられる。

【0003】 しかしながら、キャッシュメモリを二重化すると、2つのキャッシュメモリのデータを同一化するための処理のためにホスト側からの要求に迅速に対応できない等、性能が劣化する問題が生じる。

【0004】

【発明が解決しようとする課題】 また、コントローラを二重化してディスク及び二重化されたキャッシュメモリを管理する場合には、2つのコントローラが2つのキャッシュメモリのデータを同一化するための処理のために所定の手順を備える必要があり、処理が複雑化する問題が発生する。

【0005】 本発明はこのような従来のディスクシステムが有する問題点を解決せんとしてなされたもので、その目的は、システムに性能の劣化を及ぼすことなくキャッシュメモリに書込まれたデータの信頼性を向上させることのできるディスクシステム及びそのキャッシュシステムを提供することである。

【0006】

【課題を解決するための手段】 本発明に係るディスクシステムは、データを記憶するディスク部に対して、前記ディスク部に対するデータアクセスを制御する制御部とデータを一時保持するキャッシュメモリを備えたキャッシュメモリ部との組を複数組設け、ホストコンピュータのアクセスに対応するディスクシステムにおいて、前記各組のキャッシュメモリ部のみを相互に接続するデータ転送パスと、前記各組のキャッシュメモリ部にそれぞれ設けられ、前記データ転送パスを介してキャッシュメモ

リ部間でデータ転送を行う制御手段とを具備することを特徴とする。これによって、各組のキャッシュメモリ部間において、専用のデータ転送バスを介してデータ転送が行われ、ディスク部に対するアクセスに用いるデータバスがデータ一致化に用いられることがなくなる。また、制御部がデータ一致化に介入することがない。

【0007】また本発明に係るディスクシステムでは、制御手段は、当該キャッシュメモリ部のキャッシュメモリに対するデータ書き込みの際に、前記データ転送バスを介して他のキャッシュメモリ部へデータ転送を行うことを特徴とする。これによって、キャッシュメモリ部のキャッシュメモリに対するデータ書き込みの際にキャッシュメモリ部間のデータの一致化が図られる。

【0008】また本発明に係るディスクシステムでは、前記各組のキャッシュメモリ部に対応してそれぞれ設けられるサブキャッシュメモリ部であって、データを一時保持するキャッシュメモリと、当該組のキャッシュメモリ部に保持されているデータと前記サブキャッシュメモリ部のデータとを一致させるサブキャッシュメモリ部制御手段とを有するサブキャッシュメモリ部を具備したことを特徴とする。これにより各組毎にサブキャッシュメモリ部においてデータの二重化を図ることが可能である。

【0009】また本発明に係るディスクシステムでは、キャッシュメモリ部とサブキャッシュメモリ部との間のみを接続する専用バスが設けられ、サブキャッシュメモリ部制御手段は、前記専用バスを介して当該組のキャッシュメモリ部に保持されているデータと前記サブキャッシュメモリ部のデータとを一致させることを特徴とする。これにより、各組毎のキャッシュメモリ部とサブキャッシュメモリ部との間において、専用バスを介してデータ転送が行われ、ディスク部に対するアクセスに用いるデータバスがデータ一致化に用いられることがなくなる。

【0010】また本発明に係るディスクシステムでは、各組の制御部はそれぞれ、ディスク部の異なるデータ領域を分けて制御を行い、いずれかの制御部に障害が発生すると、他のいずれかの制御部により代替することとを特徴とする。これにより、これにより制御部の負荷分散が図られる。

【0011】また本発明に係るディスクシステムでは、キャッシュメモリ部に設けられたキャッシュメモリの領域対応にアクセス状況に基づく書き込みの許可禁止の情報と管理するメモリテーブルを備え、制御手段は当該メモリテーブルの情報を管理すると共に、データ転送バスを介して到来するデータ転送の要求情報に対して前記メモリテーブルの情報に基づいて、許可不許可情報を送出することとを特徴とする。これにより、キャッシュメモリ部に対するアクセス状況に応じてキャッシュメモリ部間のデータ一致のタイミングが制御される。

【0012】また本発明に係るディスクシステムのキャッシュシステムは、データを記憶するディスク部に対して、前記ディスク部に対するデータアクセスを制御する制御部とデータを一時保持するキャッシュメモリを備えた第1のキャッシュメモリ部とを設け、ホストコンピュータのアクセスに対応するディスクシステムのキャッシュシステムにおいて、データを一時保持するキャッシュメモリを備えた第2のキャッシュメモリ部と前記第1のキャッシュメモリ部と第2のキャッシュメモリ部のみを相互に接続するデータ転送バスと、前記第1のキャッシュメモリ部に設けられ、前記データ転送バスを介して第2のキャッシュメモリ部へデータ転送を行う制御手段と、前記第2のキャッシュメモリ部に設けられ、前記データ転送バスを介して第1のキャッシュメモリ部へデータ転送を行う制御手段とを具備することを特徴とする。これによって第1と第2のキャッシュメモリ部において、専用のデータ転送バスを介してデータ転送が行われ、ディスク部に対するアクセスに用いるデータバスがデータ一致化に用いられることがなくなる。また、制御部がデータ一致化に介入することがない。

【0013】

【発明の実施の形態】以下添付図面を参照して本発明に係るディスクシステムを説明する。各図において同一の構成要素には同一の符号を付して重複する説明を省略する。図1には、本発明のディスクシステムに係る第1の実施の形態が示されている。この実施の形態では、ディスク部1に複数のディスク装置から構成されるディスクアレイが採用されており、ここでは、アレイ#0～#5が配置されている。

【0014】ホストコンピュータの要求に応じてディスク部1をアクセスするためのコントローラ2が設けられている。コントローラ2には、ホストコンピュータとの間でデータ送受を行うホストインタフェース(HOST I/F)21、マイクロプロセッサ部(MPU)22、キャッシュメモリ部23、ディスク部1の所定ディスクと接続されるスカージ・プロトコル・コントローラ(SPC)であるディスクコントローラ24-1～24-3が備えられている。これらのホストインタフェース21、マイクロプロセッサ部22、キャッシュメモリ部23、ディスクコントローラ24-1～24-3は、共通のデータ転送バスであるバス(例えば、PCIバス)25に接続されている。

【0015】上記の実施の形態について別の表現をすると、図2に示すように表すことができる。即ち、ホストインタフェース21、マイクロプロセッサ部22、キャッシュメモリ部23、ディスク入出力部24a-1～24a-6が、共通のバス25に接続されている。ここに、図1では、スカージ・プロトコル・コントローラ(SPC)をディスクコントローラ24-1～24-3としたが、各ディスク装置1a-1～1a-6を個々に

接続するため、ディスク入出力部 24a-1~24a-6 と記載したものであり、ディスクコントローラ 24-1~24-3 とディスク入出力部 24a-1~24a-6 とは、ディスク装置をアクセスするという機能は同一のものである。

【0016】マイクロプロセッサ部 22 の内部構成を図 2 に示す。マイクロプロセッサ部 22 は、マイクロプロセッサ 11 に ROM 12 と RAM 13 が接続された構成を有し、マイクロプロセッサ 11 は ROM 12 内のプログラムを用いて RAM 13 をワーキングメモリとして、
10 ホストインタフェース 21 を介して受けたホストコンピュータの指示に基づき、ディスク入出力部 24a-1~24a-6 を制御し、また、キャッシュメモリ部 23 の制御を行う。このようにマイクロプロセッサ部 22 は、ディスク部に対するデータアクセスを制御する制御部を構成する。

【0017】図 3 にキャッシュメモリ部 23 の構成を示す。キャッシュメモリ部 23 には、キャッシュデータを保持するための DRAM 31、DRAM 制御部 32、データバス切換制御部 33、ミラーリングコピーインタフェース 34、PCI バスインタフェース 35 が備えられて
20 いる。

【0018】上記の DRAM 制御部 32 は、DRAM 31 に対してデータを書き込み又は読み出す機能を有し、データバス切換制御部 33 は、マイクロプロセッサ部 22 の制御に基づき DRAM 制御部 32 を制御してデータを記憶又は読み出すと共に、所要時にミラーリングコピーインタフェース 34 を介してデータを転送し、割込み信号をマイクロプロセッサ部 22 へ与えてデータ転送の終了を通知する。ミラーリングコピーインタフェース 34 には、他のキャッシュメモリ部が接続される。この他の
30 キャッシュメモリ部は、キャッシュメモリ部 23 と同一構成である。PCI バスインタフェース 35 は、図 1、図 2 のバス 25 を介してデータの送受を行う。

【0019】以上のように構成されたキャッシュメモリ部 23 の動作を説明する。ホストコンピュータからディスク部 1 へデータ書き込みの指示があると、これをホストインタフェース 21 を介してマイクロプロセッサ部 22 が取り込み、ディスクコントローラ 24-1~24-3 中の所定のディスクコントローラへデータを与えてディスク部 1 に対する書き込みを行わせる。また、このデータをキャッシュメモリ部 23 へ与えて保持させる。
40

【0020】このとき、キャッシュメモリ部 23 のデータバス切換制御部 33 は PCI バスインタフェース 35 を介してデータ及び書き込み命令を受取り、DRAM 制御部 32 を制御してデータを DRAM 31 へ書き込ませる (図 3①)。そして、データバス切換制御部 33 はミラーリングコピーインタフェース 34 を介したデータ転送の指示を格納アドレス (ライトキャッシュアドレス) と共にセットし更に、例えば、タイマをセットする。こ
50

のタイマがタイムアップとなると、データバス切換制御部 33 は上記セットされた指示に基づき、ミラーリングコピーインタフェース 34 を介したデータ転送を実行し (図 3②)、データ転送を終了すると、割込み信号をマイクロプロセッサ部 22 へ与えてデータ転送の終了を通知する。

【0021】他のキャッシュメモリ部は、図 3 のキャッシュメモリ部 23 と同一の構成であるから、この動作を図 3 と同一番号を用いて説明する。他のキャッシュメモリ部のミラーリングコピーインタフェース 34 は到来するデータを格納アドレスと共に受けてデータバス切換制御部 33 へ送出する。データバス切換制御部 33 は、DRAM 制御部 32 を制御してデータを DRAM 31 へ書き込ませる。

【0022】図 4 に、図 3 のデータバス切換制御部 33 とは異なる動作を行うデータバス切換制御部 33A を備えたキャッシュメモリ部を示す。このキャッシュメモリ部は、データバス切換制御部 33A を備えた点を除き、図 3 のキャッシュメモリ部と同一の構成を有している。このキャッシュメモリ部は次のように動作を行う。

【0023】ホストコンピュータからディスク部 1 へデータ書き込みの指示があると、これをホストインタフェース 21 を介してマイクロプロセッサ部 22 が取り込み、ディスクコントローラ 24-1~24-3 中の所定のディスクコントローラへデータを与えてディスク部 1 に対する書き込みを行わせる。また、このデータを図 4 に示すキャッシュメモリ部 23 へ与えて保持させる。

【0024】このとき、キャッシュメモリ部 23 のデータバス切換制御部 33A は PCI バスインタフェース 35 を介してデータ及び書き込み命令を受取り、DRAM 制御部 32 を制御してデータを DRAM 31 へ書き込ませ、これと並行して、データバス切換制御部 33 はミラーリングコピーインタフェース 34 を介したデータ転送を行い (図 4①)、データ転送を終了すると、割込み信号をマイクロプロセッサ部 22 へ与えてデータ転送の終了を通知する。係る構成により、速やかにキャッシュデータの二重化を図ることができる。

【0025】次にコントローラ 2 の第 2 の実施の形態に係るコントローラ 2A を図 5 に示す。この実施の形態では、2 個のキャッシュメモリ部 23、23A を設け、これらがバス 25 に接続されていると共に、相互間が専用のデータ転送バス 26 により接続されている。キャッシュメモリ部 23 を、図 3 又は図 4 のキャッシュメモリ部として、キャッシュメモリ部 23A を図 3 又は図 4 において説明した他のキャッシュメモリ部とする。キャッシュメモリ部 23A は、キャッシュメモリ部 23 を補助するサブキャッシュメモリ部として機能する。

【0026】キャッシュメモリ部 23 にデータを書き込んだ場合に、図 3 又は図 4 を持ちいて説明した如くしてキャッシュメモリ部 23A の同一アドレスにデータが書

き込まれる。そして、マイクロプロセッサ部 22 は、通常時にキャッシュメモリ部 23 を用いて動作し、キャッシュメモリ部 23 に障害が生じた場合にはキャッシュメモリ部 23 A を用いて動作する。つまり、キャッシュメモリ部 23 A をバックアップ用とする。

【0027】また、次のような他の使用方法を採用することもできる。キャッシュメモリ部 23 がキャッシュメモリ部 23 A へデータを転送する手法としては、図 4 に示された手法を用いる。そして、マイクロプロセッサ部 22 は、キャッシュメモリ部 23 にデータを書き込むと共
10 に、キャッシュメモリ部 23 A をアクセスしてデータを読み出す。このように動作を行うことによって、キャッシュメモリ部 23 とキャッシュメモリ部 23 A のデータを同一化して、データ保全を図ると共に、データの書き込みとデータの読み出しを並列的に行うことが可能となり、システムの処理能力を向上させることができる。

【0028】図 6 に、本発明に係るディスクシステムの第 2 の実施の形態を示す。この実施の形態では、同一構成のコントローラ 2-1、2-2 によってディスク部 1
20 をアクセスして、ホストコンピュータの要求に応える構成となっている。そして、各コントローラ 2-1、2-2 のキャッシュメモリ部 23-1、23-2 間をデータ転送パス 27 により接続し、キャッシュメモリ部 23-1、23-2 に保持されるデータの同一化を図る。上記のキャッシュメモリ部 23-1、23-2 としては、図 3 又は図 4 に示した構成を採用する。

【0029】そして、コントローラ 2-1、2-2 は、それぞれホストコンピュータからの要求に基づき独立して動作を行うように構成できる。従って、キャッシュメモリ部 23-1、23-2 との間では、相互に他方に対してデータ転送が生じデータの同一化が図られる。この
30 形態によれば、システムの処理能力を向上させることができる。また、他の動作形態としては、コントローラ 2-1 を現用として、コントローラ 2-2 を予備用とする。コントローラ 2-1 に障害が発生すると、コントローラ 2-2 によりホストコンピュータの要求に応えるようにする。現用と予備用との切換えは、ホストコンピュータがホストインタフェース 21-2 を介してマイクロプロセッサ部 22-2 へ指示を与える。

【0030】図 7 に、本発明に係るディスクシステムの第 3 の実施の形態を示す。この実施の形態では、図 6 に示した実施の形態において、コントローラ 2-1 にサブ
40 キャッシュメモリ部 23 B-1 が設けられ、コントローラ 2-2 にサブキャッシュメモリ部 23 B-2 が設けられている。キャッシュメモリ部 23-1、23-2、サブキャッシュメモリ部 23 B-1、23 B-2 は同一構成であり、サブキャッシュメモリ部 23 B-1 とサブキャッシュメモリ部 23 B-2 との間をデータ転送パス 27 B により接続し、サブキャッシュメモリ部 23 B-1、23 B-2 に保持されるデータの同一化を図る。上
50

記のサブキャッシュメモリ部 23 B-1、23 B-2 としては、図 3 又は図 4 に示した構成を採用する。

【0031】キャッシュメモリ部 23-1 とサブキャッシュメモリ部 23 B-1 は、ディスク部 1 のエリアを分割してデータを保持する。例えば、アレイ #0~#2 のデータをキャッシュメモリ部 23-1 が保持し、アレイ #3、#4 のデータをサブキャッシュメモリ部 23 B-1 が保持する。同様に、アレイ #0~#2 のデータをキャッシュメモリ部 23-2 が保持し、アレイ #3、#4
のデータをサブキャッシュメモリ部 23 B-2 が保持する。

【0032】この実施の形態における動作形態は、図 6 に示したシステムと同様に 2 種類のいずれかを選ぶことができる。即ち、第 1 の実施形態は、コントローラ 2-1、2-2 は、それぞれホストコンピュータからの要求に基づき独立して動作を行うものであり、第 2 の実施形態は、コントローラ 2-1 を現用として、コントローラ 2-2 を予備用とするものである。

【0033】次に図 8 に、本発明に係るディスクシステムの第 4 の実施の形態を示す。この実施の形態では、図 7 に示した実施の形態において、更に、キャッシュメモリ部 23-1 とサブキャッシュメモリ部 23 B-1 間を専用のデータ転送パス 26-1 により接続し、キャッシュメモリ部 23-2 とサブキャッシュメモリ部 23 B-2 間を専用のデータ転送パス 26-2 により接続したものである。

【0034】この実施の形態は、図 5 に示した第 2 の実施の形態に係るコントローラ 2 A を 2 つ設けたものに相当する。また、キャッシュメモリ部 23-1 とキャッシュメモリ部 23-2 との間をデータ転送パス 27 により接続し、キャッシュメモリ部 23-1、23-2 に保持されるデータの同一化を図る。従って、コントローラ 2 A-1、2 A-2 では、それぞれバックアップ用のキャッシュメモリ部 23 B-1、23 B-2 を備えることになる。各コントローラ 2 A-1、2 A-2 における動作
形態は、図 5 の実施の形態と同様である。また、コントローラ 2 A-1、2 A-2 間の動作形態は、図 6 の動作形態と同様である。

【0035】更に他のキャッシュメモリ部の実施の形態を説明する。2 つキャッシュメモリ部が並列使用される場合においては、保持されているデータを保全するために次のように構成することができる。即ち DRAM 31 に、図 9 に示されるようなメモリーテーブルを設け、他方のキャッシュメモリ部からのデータ転送要求に対して、データバス切換制御部 33 (33 A) が上記メモリーテーブルを参照して許可不許可を与える。この図 9 のメモリーテーブルは、DRAM 31 のデータエリアを複数の所定容量を持つブロックに分割して管理するためのもので、各ブロックに対応して書き込みの許可禁止の情報であるフラグ (禁止=1, 許可=0) が設けられる。このフラ

グは、初期値が「0」であり、データの読み出しが行われたときに、例えば、一部が読み出され、更に読み出しが生じる可能性があるときにセット「1」され、読み出しの可能性がなくなったときリセット「0」される。そして、データバス切換制御部 33 (33A) は、図 10 に示されるフローチャートのプログラムにより図 11 に示される手順で動作する。

【0036】まず、他方のキャッシュメモリ部からデータ転送バスを介してデータ転送要求及びキャッシュライトアドレスが到来し (図 11①)、これをミラーリングコピーインタフェース 34 を介してデータバス切換制御部 33 (33A) が受け取る (S1)。そこで、データバス切換制御部 33 (33A) は図 9 に示したメモリテーブルの対応フラグを参照し (図 11②及び S2)、フラグが「1」か「0」かを検出する (S3)。ここで、フラグが「0」であれば、データ転送許可を返送し (図 11③及び S4)、フラグが「1」であれば、データ転送不許可を返送する (図 11③及び S5)。これにより、2つのキャッシュメモリ部が並列使用されており、読み出しの可能性がある場合に書き換えがなされるのを防ぐことができ、再度ディスク部をアクセスする必要がなくなりシステムの性能を向上させることができる。

【0037】

【発明の効果】以上説明したように本発明に係るディスクシステムによれば、データを記憶するディスク部に対して、前記ディスク部に対するデータアクセスを制御する制御部とデータを一時保持するキャッシュメモリを備えたキャッシュメモリ部との組を複数組設け、ホストコンピュータのアクセスに対応するディスクシステムにおいて、前記各組のキャッシュメモリ部のみを相互に接続するデータ転送バスと、前記各組のキャッシュメモリ部にそれぞれ設けられ、前記データ転送バスを介してキャッシュメモリ部間でデータ転送を行う制御手段とを具備するので、各組のキャッシュメモリ部間において、専用のデータ転送バスを介してデータ転送が行われ、ディスク部に対するアクセスに用いるデータバスがデータ一致化に用いられることがなくなるため、効率の良いシステムを実現できる。また、制御部がデータ一致化に介入することがないので、負荷分散が図られる。

【0038】また、本発明に係るディスクシステムのキャッシュシステムによれば、データを記憶するディスク部に対して、前記ディスク部に対するデータアクセスを制御する制御部とデータを一時保持するキャッシュメモリを備えた第 1 のキャッシュメモリ部とを設け、ホストコンピュータのアクセスに対応するディスクシステムのキャッシュシステムにおいて、データを一時保持するキャッシュメモリを備えた第 2 のキャッシュメモリ部と前記第 1 のキャッシュメモリ部と第 2 のキャッシュメモリ

部のみを相互に接続するデータ転送バスと、前記第 1 のキャッシュメモリ部に設けられ、前記データ転送バスを介して第 2 のキャッシュメモリ部へデータ転送を行う制御手段と、前記第 2 のキャッシュメモリ部に設けられ、前記データ転送バスを介して第 1 のキャッシュメモリ部へデータ転送を行う制御手段とを具備するので、各組のキャッシュメモリ部間において、専用のデータ転送バスを介してデータ転送が行われ、ディスク部に対するアクセスに用いるデータバスがデータ一致化に用いられることがなくなるため、効率の良いシステムを実現できる。また、制御部がデータ一致化に介入することがないので、負荷分散が図られる。

【図面の簡単な説明】

【図 1】本発明に係るディスクシステムの第 1 の実施の形態を示す構成図。

【図 2】本発明に係るディスクシステムにおけるコントローラの実施の形態を示す構成図。

【図 3】本発明に係るディスクシステムにおけるキャッシュメモリ部の第 1 の実施の形態を示す構成図。

【図 4】本発明に係るディスクシステムにおけるキャッシュメモリ部の第 2 の実施の形態を示す構成図。

【図 5】本発明に係るディスクシステムにおけるコントローラの第 2 の実施の形態を示す構成図。

【図 6】本発明に係るディスクシステムの第 2 の実施の形態を示す構成図。

【図 7】本発明に係るディスクシステムの第 3 の実施の形態を示す構成図。

【図 8】本発明に係るディスクシステムの第 4 の実施の形態を示す構成図。

【図 9】本発明に係るディスクシステムにおけるキャッシュメモリ部に用いられるメモリテーブルを示す図。

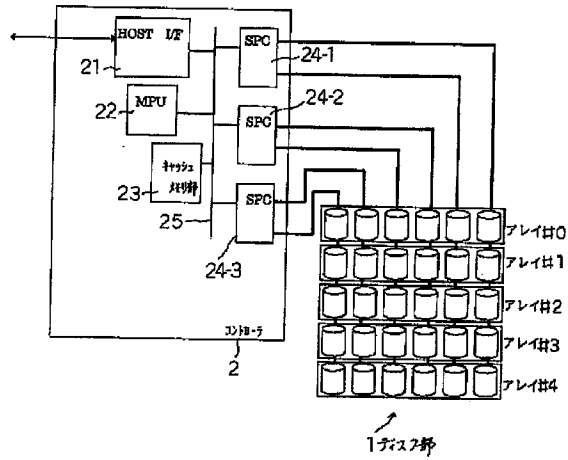
【図 10】本発明に係るディスクシステムにおいて採用されるキャッシュメモリ部の動作を示す図。

【図 11】本発明に係るディスクシステムにおけるキャッシュメモリ部の第 3 の実施の形態を示す構成図。

【符号の説明】

- | | | |
|--------------------------|------------------|-----------|
| 1 | ディスク部 | 2、2-1、2-2 |
| 2 | コントローラ | |
| 21 | ホストインタフェース | 22 |
| 23、23-1、23-2、23B-1、23B-2 | マイクロプロセッサ部 | |
| 24 | キャッシュメモリ部 | |
| 31 | DRAM | 32 |
| 33 | DRAM 制御部 | |
| 33、33A | データバス切換制御部 | |
| 34 | ミラーリングコピーインタフェース | |
| 35 | PCIバスインタフェース | |

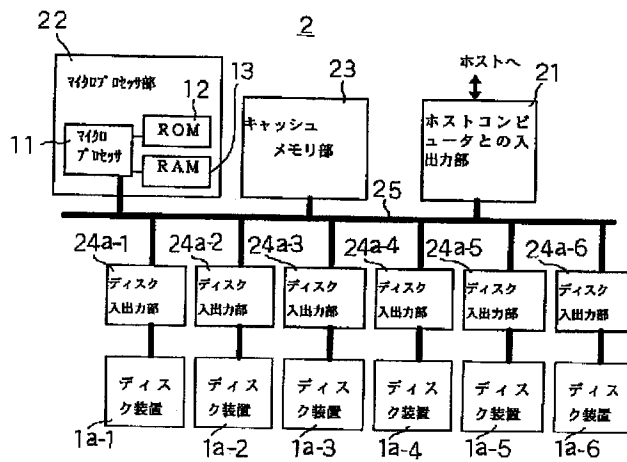
【図1】



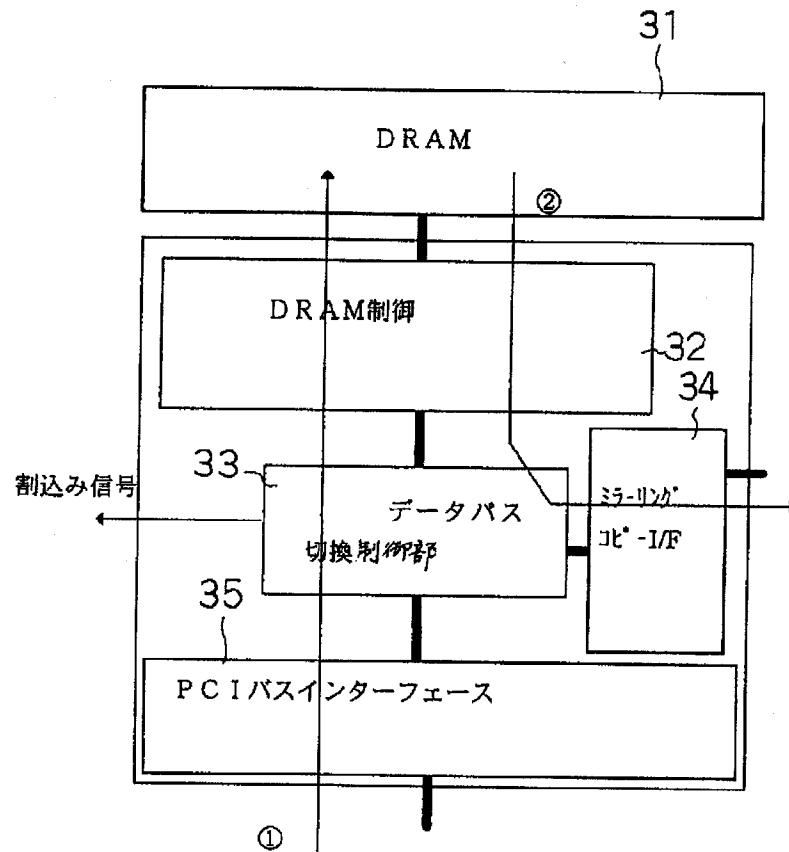
【図9】

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

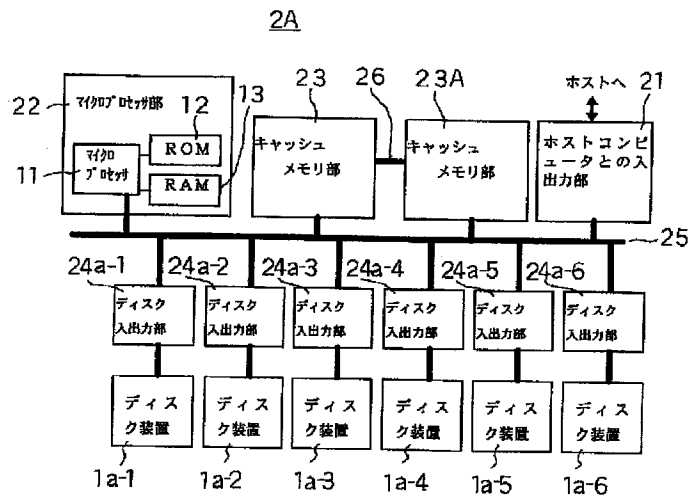
【図2】



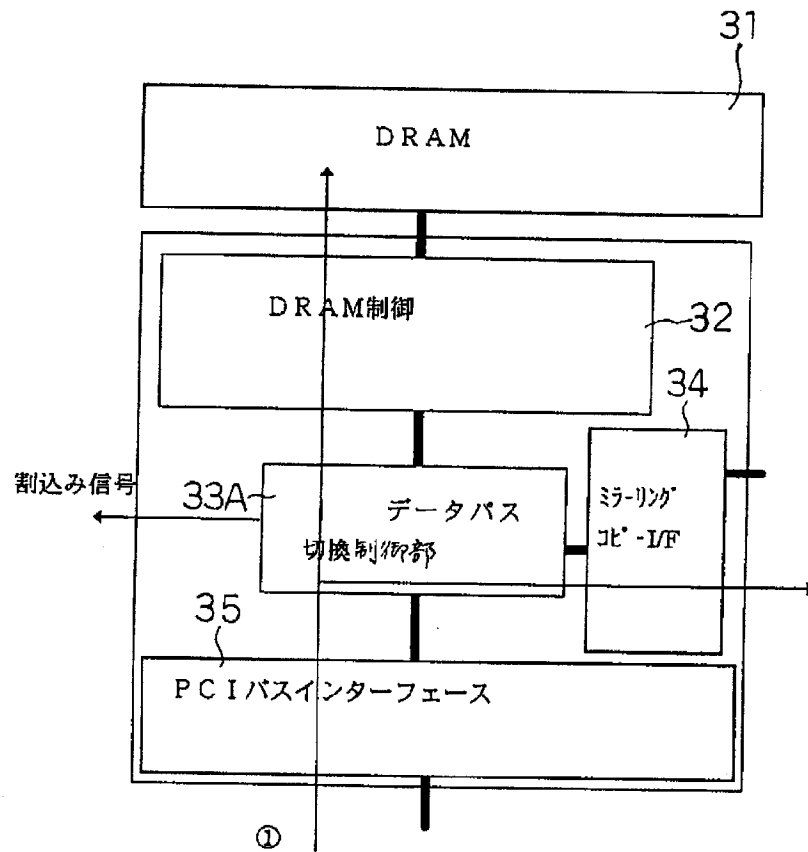
【図3】



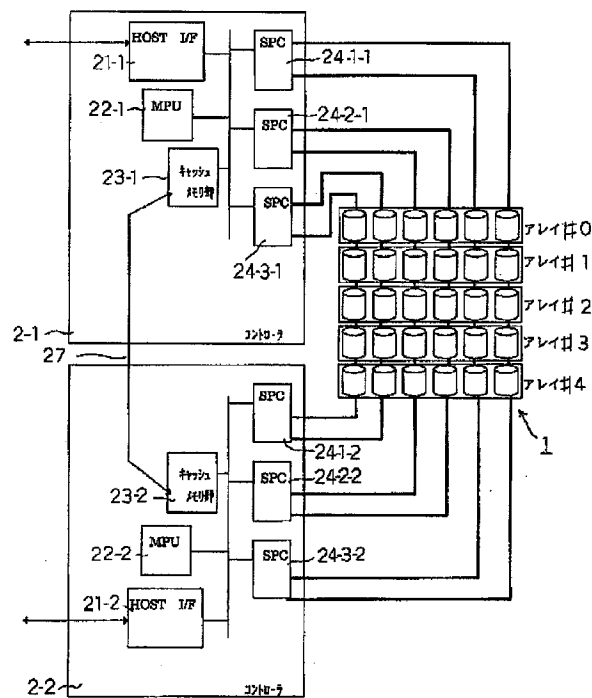
【図5】



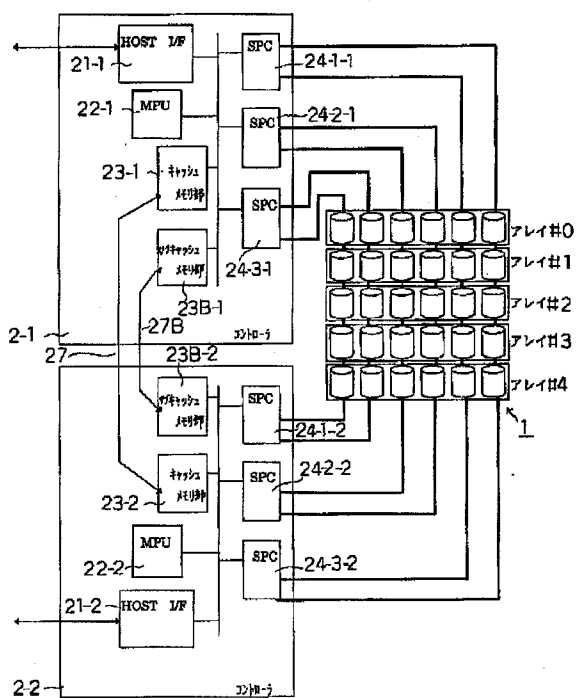
【図4】



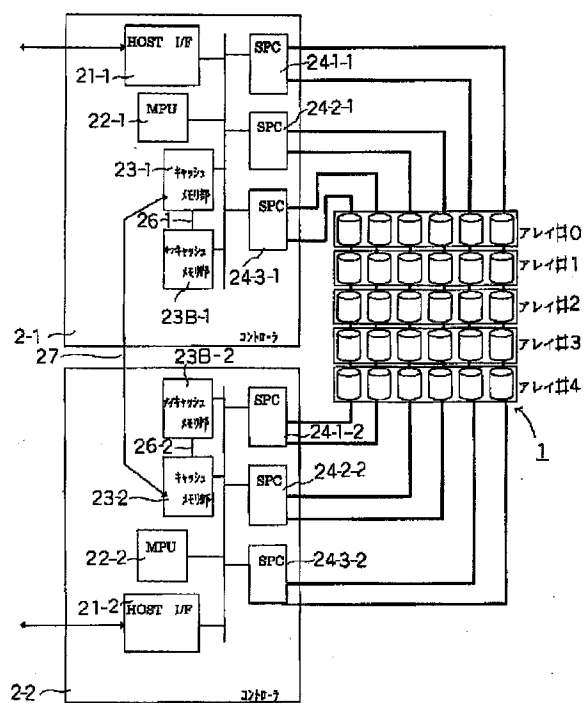
【図6】



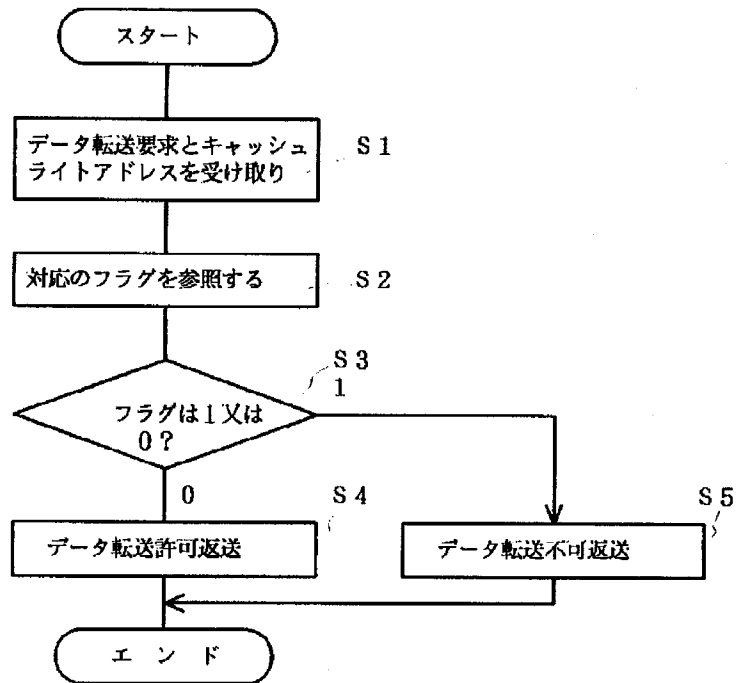
【図7】



【図8】



【図10】



【図11】

